

ΑΝΑΛΥΤΗΣ ΨΗΦΙΑΚΩΝ ΣΗΜΑΤΩΝ ΧΑΜΗΛΟΥ ΚΟΣΤΟΥΣ.

Α. Βαρσάμης, Θ. Παχίδης, Π. Λιναρδής

ΤΟΜΕΑΣ ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΦΥΣΙΚΟ ΤΜΗΜΑ

ΑΡΙΣΤΟΤΕΛΕΙΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΟΝΙΚΗΣ

ABSTRACT: Παρουσιάζεται ένας αναλυτής ψηφιακών σημάτων που σχεδιάστηκε με σκοπό το χαμηλό κόστος. Χρησιμοποιεί α) ένα έτοιμο σύστημα μικροπολογιστή σαν βασικό μηχάνημα για την επεξεργασία και απεικόνιση των σημάτων β) κάρτες επέκτασης που κατασκευάστηκαν ειδικά ώστε να είναι δυνατή η καταγραφή σημάτων που μεταβάλλονται με ταχύ ρυθμό και γ) το απαραίτητο Software για τον έλεγχο του συστήματος και την απεικόνιση των σημάτων. Η ύπαρξη των απαιτούμενων υλικών για την κατασκευή των καρτών στην ελληνική αγορά επιτρέπει την εύκολη κατασκευή και συντήρησή του. Επιπλέον η χρήση μικροπολογιστή για την ανάλυση και παρουσίαση των σημάτων εισόδου παρέχει την ευελιξία στον χρήστη να επιλέξει μέσω Software τον πιο προσιτό τρόπο για τη μελέτη αυτών.

1. Εισαγωγή

Η παρακολούθηση και η ανάλυση της λειτουργίας πολύπλοκων Ψηφιακών Κυκλωμάτων απαιτεί ένα ακριβό όργανο που ονομάζεται Ψηφιακός ή Λογικός Αναλυτής.

Σε απλά κυκλώματα η ανάλυση μπορεί να γίνει με τον γνωστό Παλμογράφο που είναι μάλιστα απαραίτητος όταν χρειάζεται ακριβής γνώση των κυματομορφών. Όταν όμως το κύκλωμα είναι ψηφιακό, όπως π.χ. μία κάρτα ενός Η.Υ., τότε οι πληροφορίες που απαιτούνται ξεπερνούν τα όρια του παλμογράφου. Αυτά τα όρια καθορίζονται κυρίως από τις εξής απαιτήσεις:

- α) την παρακολούθηση μη περιοδικών σημάτων
- β) την ταυτόχρονη παρακολούθηση πολλών σημάτων. Για παράδειγμα αν θέλουμε να δούμε σε κάποιο bus του Η.Υ. τι γίνεται, θα έπρεπε να απεικονίσουμε 8 ή 16 σήματα ταυτόχρονα. Αν υποθεθεί ότι κατασκευάζαμε κάποιο σύστημα που θα μας έδινε απεικόνιση οκτώ ή περισσότερων σημάτων στον παλμογράφο αυτά τα σήματα δεν θα μπορούσαμε να τα δούμε γιατί είναι ταχύτατα και μη περιοδικά. Έτσι μέσα σε μερικά msec θα τα χάναμε από την οθόνη του παλμογράφου.
- γ) Την παρακολούθηση των και σύγκριση των σημάτων για μεγάλα χρονικά διαστήματα. Π.χ. όταν θέλουμε να παρακολουθήσουμε μία ομάδα σημάτων για πολλούς κύκλους εντολών του υπολογιστή καθώς και έναρξη της παρακολούθησης (σκανδαλισμό) υπό συνθήκες

πιο περίπλοκες από ότι επιτρέπει ο παλμογράφος.

Οι ανωτέρω απαιτήσεις οδήγησαν στη δημιουργία του Λογικού Αναλυτή, δηλαδή ενός οργάνου που :

- α) συλλέγει ταυτόχρονα και καταχωρεί πολλά ψηφιακά σήματα ταχέως μεταβαλλόμενα, τα οποία δεν είναι κατ'ανάγκη περιοδικά,
- β) απεικονίζει αυτά τα σήματα με τρόπο που να είναι εύκολα αντιληπτή όχι μόνο η μορφή τους αλλά και η χρονική και λογική σχέση που έχουν μεταξύ τους.

Αναλυτές ψηφιακών σημάτων υπάρχουν πολλοί στην αγορά. Όμως το κόστος που έχουν τους καθιστά απρόσιτους στο ευρύ κοινό. Για τον λόγο αυτό ο Αναλυτής που παρουσιάζεται σε αυτή την εργασία σχεδιάστηκε με στόχους: α) το χαμηλό κόστος και της ευκολία κατασκευής, που βασίζεται σε τεχνολογία που υπάρχει στην Ελληνική αγορά, β) την ικανοποιητική απόδοση συγκριτικά με το κόστος

Το προτεινόμενο σύστημα αποτελείται:

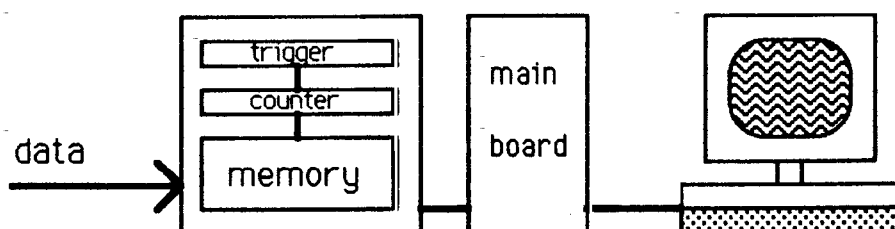
- α) από ένα προσωπικό υπολογιστή και β) από ορισμένες κάρτες επέκτασης και software που υλοποιήθηκαν στο εργαστήριό μας.

Οι προδιαγραφές του συστήματος είναι:

- α) Χαμηλό κόστος κατασκευής των καρτών επέκτασης (περίπου 15.000 δρχ.).
- β) Χρησιμοποίηση σχετικά φθηνού προσωπικού υπολογιστή (IBM PC ή συμβατού).
- γ) Ευκολία ανεύρεσης των χρησιμοποιούμενων υλικών στην Ελληνική αγορά.
- δ) Μέγιστη ταχύτητα δειγματοληψίας 4MHz.
- ε) Ευκολία παράστασης και ανάλυσης των ψηφιακών σημάτων από μικρουπολογιστή (με Software).
- στ) Δυνατότητα πολλαπλών συνθηκών σκανδαλισμού (trigger).

2. Γενική περιγραφή συστήματος

Το γενικό διάγραμμα του Αναλυτή φαίνεται στο παρακάτω σχήμα.



Δομή Ψηφιακού Αναλυτή

Από τις εισόδους data μεταφέρονται στον Αναλυτή τα σήματα που πρόκειται να παρατηρηθούν. Γίνεται δειγματοληψία των σημάτων με βάση κάποιο ρολόι (clock) και οι καταστάσεις των σημάτων σε μια δεδομένη στιγμή καταχωρούνται σε μια λέξη της μνήμης. Η διεύθυνση της λέξης καθορίζεται από την τρέχουσα τιμή του απαριθμητού (Counter). Την επόμενη στιγμή, δηλαδή στον επόμενο παλμό του ρολογιού, ο απαριθμητής αυξάνεται κατά ένα και το δείγμα καταχωρείται στην επόμενη λέξη της μνήμης κ.ο.κ. Το ρολόι είναι συνήθως συγχρονισμένο με κάποιο ρολόι του ψηφιακού κυκλώματος που εξετάζεται.

Το τμήμα σκανδαλισμού (trigger) ενεργοποιείται όταν εμφανιστεί ένας προκαθορισμένος συνδυασμός καταστάσεων των σημάτων και χρησιμεύει για να ορίσει τη στιγμή που αρχίζει ή που σταματά η δειγματοληψία. Μετά το πέρας της συλλογής των σημάτων, οι καταστάσεις που καταχωρήθηκαν στην μνήμη μεταφέρονται στον μικροπολογιστή. Εκεί γίνεται παρουσίαση των σημάτων είτε υπό την μορφή παλμών ή λογικών καταστάσεων ή αποκωδικοποίηση εάν πρόκειται για κώδικες εντολών υπολογιστή ή με όποιο άλλο τρόπο επιθυμεί ο χρήστης δεδομένου ότι η παρουσίαση γίνεται μέσω Software.

Ένα λεπτομερές διάγραμμα των κυκλωμάτων του Αναλυτή φαίνεται στο (Σχ.1). Εκτός από τον Η.Υ. αποτελείται από δύο κάρτες:

- α) την κάρτα κεφαλής (Head card) και
- β) την κάρτα οδήγησης (Main card).

Ο μικροπολογιστής μέσω μιας κάρτας παράλληλης πόρτας εισόδου/εξόδου (I/O port) ελέγχει το όλο σύστημα. Η κάρτα κεφαλής (Head card) περιλαμβάνει ένα θ-πλό latch, που λειτουργεί σαν buffer δειγματοληψίας, ένα σύστημα αποθήκευσης δεδομένων και ένα σύστημα σκανδαλισμού (trigger) έναρξης καταχώρησης της πληροφορίας. Η κάρτα οδήγησης περιλαμβάνει ένα σύστημα ρολογιού (clock) και ένα σύστημα που ελέγχει την δειγματοληψία στην κάρτα κεφαλής.

Η λειτουργία του Αναλυτή χωρίζεται λογικά σε τρεις κύκλους εργασίας, που κατευθύνονται από τον μικροπολογιστή (μ/Υ) με το κατάλληλο Software. Οι κύκλοι είναι:

- α) Ο κύκλος φόρτωσης (Load cycle). Εδώ φορτώνονται οι επιθυμητές συνθήκες σκανδαλισμού (trigger) που υπό μορφή συνδυασμών bits που τοποθετούνται σε κατάλληλες θέσεις της TRIGGER

DATA RAM.

β) Ο κύκλος δειγματοληψίας (Sampling cycle). Γίνεται λήψη και καταχώρηση των δεδομένων στην μνήμη SAMPLING DATA STORE RAM

γ) Ο κύκλος μεταφοράς και αποθήκευσης των δεδομένων που έχουν δειγματοληπτηθεί (Storing cycle). Τα δείγματα μεταφέρονται από την SAMPLING DATA STORE RAM SYSTEM στον Η.Υ. για ανάλυση και επεξεργασία. Ας σημειωθεί ότι στην Main card μπορούν να συνδεθούν μέχρι τρεις κάρτες κεφαλής, δηλαδή ο Αναλυτής μπορεί να ελέγξει συνολικά μέχρι 24 γραμμές σημάτων. Για λόγους απλότητας στην παρούσα εργασία θα αναφερόμαστε σε Αναλυτή με μια κάρτα κεφαλής.

3. Περιγραφή λειτουργίας συστήματος

Στα σχήματα 2 και 3 φαίνεται ένα πιο ανεπτυγμένο διάγραμμα του όλου συστήματος και η δομή των καρτών.

Σημειώνεται ότι η επικοινωνία των καρτών και του μ/Υ γίνεται ως εξής: Οι γραμμές και των δυο θυρών εισόδου/εξόδου του μ/Υ (Data port, Control port) μεταφέρονται στην Main card με καλωδιωταινία. Από την Main card μεταφέρονται πάλι με καλωδιωταινία όσες γραμμές των θυρών και της Main card αφορούν την κάρτα κεφαλής. Αυτό γίνεται για να μετακινείται εύκολα η κάρτα κεφαλής και να τοποθετείται κοντά στις γραμμές των σημάτων που πρόκειται να κάνουμε δειγματοληψία. Με την έναρξη της λειτουργίας του συστήματος γίνονται οι εξής ενέργειες:

- α) Καθορίζονται οι διευθύνσεις ροής των σημάτων στις θύρες του μ/Υ. και
- β) Δίνονται αρχικές τιμές στα σήματα εξόδου των θυρών.

Με τις αρχικές τιμές που δίνονται η κατάσταση του συστήματος έχει ως εξής:

α) Οι δύο RAM των 2Kx8 bytes η κάθε μία, καθώς και το Latch, βρίσκονται σε κατάσταση αποκοπής (tristate) (Σχ.2).

β) Τα Flip-Flops του SAMPLING CONTROL SYSTEM (Σχ.3) έχουν τις εξόδους τους σταθερές, ανεξάρτητα από τα σήματα που τυχόν δέχονται στις εισόδους τους και στα ρολόγια (clocks).

γ) Ο DATA STORING COUNTER (Σχ.3) δεν μετράει εξαιτίας της λογικής κατάστασης της εισόδου Enable που είναι απαγορευτική για την λειτουργία του, και οδηγείται από την έξοδο του Trigger Sensor FF .

δ) Ο παλμός του clock μεταφέρεται στην κεφαλή σαν Head clock (Σχ.3), και ο ADDRESS SCAN COUNTER μετράει κανονικά. Το

κύκλωμα υποδοχής και σχηματοποίησης του παλμού clock επιδρά κατά πρώτον στο duty cycle του παλμού και κατά δεύτερον στην χρονική μετατόπιση του.

Η επίδραση στο duty cycle υπαγορεύεται από τις απαιτήσεις της SAMPLING DATA STORE RAM (Σχ.2) στον χρόνο εγγραφής (Σχ.7) καθώς επίσης και από τον χρόνο που χρειάζεται για να σταθεροποιηθούν οι έξοδοι του ADDRESSES SCAN COUNTER που αποτελούν τις διευθύνσεις της RAM. Η χρονική μετατόπιση χρειάζεται στην περίπτωση που θέλουμε το External clock, που εισέρχεται στον Αναλυτή, να έχει ορισμένη διαφορά φάσης με το clock του συστήματος το οποίο δειγματοληπτούμε.

Οι παλμοί του clock από το σύστημα υποδοχής και σχηματοποίησης μεταφέρονται στο κύκλωμα BUFFER AND CLOCK SWITCHING CONTROL. Αυτό το κύκλωμα επιτελεί δύο βασικές λειτουργίες:

α) Δίνει ένα ισχυρό σε ρεύμα παλμό ώστε να πετύχουμε μεγάλη ταχύτητα και πιστότητα (μικρή παραμόρφωση) στην διαβίβαση του clock μέσω της καλωδιωταινίας στην κάρτα κεφαλής.

β) Αποφασίζει αν θα περάσει από την Main card στην Head card το Main clock ή το σήμα PR που δίνει ο υπολογιστής

Όταν το clock διαβιβάζεται στην Head card εκεί: α) φιλτράρεται έτσι ώστε να εξαλειφθούν τυχόν θόρυβοι και β) αναμορφώνεται, δηλαδή λαμβάνει πάλι την τετραγωνική του μορφή. Συγχρόνως με αυτές τις λειτουργίες εισάγεται και μια ρυθμιζόμενη καθυστέρηση, η οποία είναι αναγκαία για να υπάρχει συγχρονισμός στις κάρτες κεφαλής, όταν έχουμε παραπάνω από μία. Οι λειτουργίες αυτές γίνονται από το FILTERING, SHAPING AND TIMING CONTROL SYSTEM.

Το επόμενο βήμα, μετά την έναρξη λειτουργίας είναι να τοποθετηθούν στην TRIGGER DATA RAM (Σχ.2) οι λογικοί συνδιασμοί που θα προκαλέσουν σκανδαλισμό. Έτσι :

- α) οι γραμμές DATA BUS γίνονται έξοδοι για το DATA PORT της θύρας(Σχ.2).
- β) αποστέλλεται μέσω του DATA BUS από τον υπολογιστή συνδιασμός bits που αντιστοιχούν στην πρώτη διεύθυνση της TRIGGER DATA RAM.
- γ) αποστέλλεται το TRIGGER BIT που θέλουμε να καταχωρηθεί σ' αυτή την διεύθυνση μέσω της γραμμής PR.
- δ) η TRIGGER DATA RAM τίθεται σε WRITE MODE και καταχωρείται το TRIGGER BIT στην καθορισμένη θέση μνήμης.

Οι ενέργειες β), γ), δ) γίνονται $2^8=256$ φορές, όσος είναι και ο αριθμός των δυνατων συνδυασμών των τιμών των σημάτων που δειγματοληπτούνται. Βάζουμε "1" στη θέση μνήμης που αντιστοιχεί στον συνδυασμό που θέλουμε να έχουμε TRIGGER στο σύστημα και "0" στον συνδυασμό που δεν θέλουμε TRIGGER.

Εδώ τελειώνει ο κύκλος της φόρτωσης και είμαστε έτοιμοι για τον κύκλο της δειγματοληψίας. Πριν την έναρξη της δειγματοληψίας γίνονται οι εξής ενέργειες:

α) Οι γραμμές DATA BUS γίνονται είσοδοι για το DATA PORT του μ/Υ (σχ.2).

β) Η TRIGGER DATA RAM (Σχ.2) τίθεται σε OUTPUT MODE (READ) και η SAMPLING DATA STORE RAM τίθεται σε INPUT MODE (WRITE) και συγχρόνως το LATCH τίθεται σε δυνατότητα λειτουργίας.

Αφού γίνουν αυτές οι ενέργειες μέσω του PRESET SYSTEM, που βρίσκεται στην Head card (Σχ.3), αποφασίζουμε αν θα γράψουμε 2K DATA μετά ένα συμβάν που προκαλεί TRIGGERING ή 1K πριν και 1K μετά το TRIGGERING. Ταυτόχρονα η επιλογή του TRIGGERING κοινοποιείται στον υπολογιστή μέσω του σήματος SHS (Σχ.3). Όταν τελειώσει η προηγούμενη ετοιμασία ο Αναλυτής είναι έτοιμος για δειγματοληψία.

Η έναρξη της δειγματοληψίας μπορεί να γίνει είτε με διακόπτη (Manual) είτε μέσω του υπολογιστή που βρίσκεται στο Main Board. Στην κατάσταση δειγματοληψίας το τμήμα SAMPLING CONTROL SYSTEM (Σχ.3) είναι έτοιμο να αντιληφθεί ένα σήμα TRIGGER από την κεφαλή έτσι ώστε να γίνουν οι κατάλληλες λειτουργίες για την καταχώρηση στην SAMPLING DATA STORE RAM (Σχ.2) των δεδομένων που μας ενδιαφέρουν. Επιπλέον ειδοποιείται ο μ/Υ για την έναρξη και το πέρας της δειγματοληψίας μέσω του σήματος SO.

Κατά την δειγματοληψία ο παλμός clock από τον BUILD IN OSCILLATOR (Σχ.3) ή το εξωτερικό ρολόι διαμορφώνεται κατάλληλα από το κύκλωμα RECEPTION AND FORMATION OF CLOCK. Το κύκλωμα BUFFER AND CLOCK SWITCHING CONTROL επιτρέπει στο MAIN CLOCK να περάσει στην κάρτα κεφαλής. Έτσι αφού διέλθει από το κύκλωμα FILTERING, SHAPING AND TIMING CONTROL αναδύεται σαν HEAD CLOCK.

Με το ανερχόμενο μέτωπο του HEAD CLOCK τα δεδομένα περνάνε από τις γραμμές δειγματοληψίας στο LATCH (Σχ.2). Κατόπιν κλειδώνονται και εμφανίζονται στις εξόδους του LATCH για όλο το υπόλοιπο μέρος της περιόδου του CLOCK. Συγχρόνως το θετικό μέτωπο

του CLOCK αυξάνει την τιμή του ADDRESSES SCAN COUNTER κατά ένα προκαλώντας αλλαγή διεύθυνσης καταχωρήσεως της SAMPLING DATA STORE RAM. Στο αρνητικό μέρος του παλμου του CLOCK η SAMPLING DATA STORE RAM καταγράφει στη θέση μνήμης που δείχνει ο ADDRESSES SCAN COUNTER τα δεδομένα που έχουν δειγματοληπτηθεί και που βρίσκονται στις εξόδους του LATCH εκείνη τη στιγμή. Για κάθε νέο ανερχόμενο μέτωπο CLOCK έχουμε και μια καταγραφή δεδομένων δειγματοληψίας σε αντίστοιχη θέση μνήμης που μας δίνει ο ADDRESSES SCAN COUNTER. Όταν τα δείγματα είναι περισσότερα από 2K (χωρητικότητας μνήμης) τότε οι διευθύνσεις ανακυκλώνονται.

Τα δειγματοληπτημένα δεδομένα, όπως φαίνεται στο Σχ.2, καθορίζουν κάθε φορά και τις διευθύνσεις της TRIGGER DATA RAM. Αν στην θέση μνήμης, στην οποία αντιστοιχεί ο συνδυασμός τιμών του δείγματος, υπάρχει λογικό "0", τότε η λειτουργία συνεχίζεται κανονικά.

Εστω τώρα ότι ο συνδυασμός των τιμών που εφαρμόζονται σαν διεύθυνση στη TRIGGER DATA RAM έχει σαν αποτέλεσμα να αναδυθεί ένα trigger bit ("1"). Αυτό το trigger bit μέσω του κυκλώματος BUFFER AND TRIGGER CONTROL μεταφέρεται στην Main card (Σχ.3) στο τμήμα MAIN TRIGGER. Εκεί μπορούν να καταλήξουν μέχρι δύο επιπλέον παρόμοια σήματα από κάρτες κεφαλής. Μπορεί όμως αυτά τα σήματα να προέρχονται και από οποιοδήποτε άλλο κύκλωμα παρέχοντας το πλεονέκτημα να μπορεί να ελεγχθεί το trigger του Αναλυτή εξωτερικά από οποιοδήποτε άλλο σύστημα που συνεργάζεται με αυτόν. Για να εξέλθει όμως τελικά σήμα σκανδαλισμού από το MAIN TRIGGER θα πρέπει και τα τρία TRIGGER να αληθεύουν ταυτόχρονα.

Η έξοδος του MAIN TRIGGER (Σχ.3) εφαρμόζεται στο TRIGGER SENSOR flip-flop το οποίο αλλάζει κατάσταση με το θετικό μέτωπο του παλμού D2, που εφαρμόζεται στην είσοδο CLOCK. Η αλλαγή της κατάστασης καθιστά τον DATA STORING COUNTER ικανό να αρχίσει το μέτρημα με την ενεργοποίησή του από την είσοδο ENABLE. Το TRIGGER SENSOR FF μετά κλειδώνει μόνο του και δεν επιτρέπει την αλλαγή της κατάστασής του οποιοδήποτε σήμα κι'αν δεχθεί στην είσοδό του. Ο Counter D.S.C. μετράει τόσους παλμούς έτσι ώστε στην SAMPLING DATA STORE RAM να καταχωριθούν ή 2K μετά το triggering ή 1K πριν και 1K μετά ανάλογα με το τι έχει ορισθεί με το σύστημα PRESET.

Όταν ο Counter D.S.C τελειώσει το μέτρημα, δίνει ένα παλμό από την R.C. έξοδό του και αλλάζει κατάσταση στο STOP STORING FF. Με την αλλαγή της κατάστασης επιτελούνται δύο βασικές λειτουργίες:

α) Απομονώνεται το MAIN CLOCK μέσω του BUFFER and CLOCK SWITCHING κυκλώματος έτσι ώστε να μην εμφανίζεται clock στην κεφαλή.

β) Ειδοποιείται με το σήμα S.D. ο υπολογιστής ότι η δειγματοληψία τελείωσε. Μετά την απομόνωση του MAIN CLOCK το τμήμα BUFFER and CLOCK SWITCHING SYSTEM, επιτρέπει να σταλεί σαν HEAD CLOCK στην κεφαλή το σήμα P.R. που έρχεται από τον υπολογιστή.

Για λόγους πρόνοιας τη στιγμή που απομονώνεται το MAIN CLOCK το HEAD CLOCK παραμένει σε μία λογική στάθμη που:

α) Δεν επιτρέπει το LATCH (Σχ.2) να δεχθεί άλλα δεδομένα.

β) Δεν αλλάζει την τελευταία διεύθυνση που εφαρμόζεται στη SAMPLING DATA STORE RAM.

γ) Δεν επιτρέπει στη μνήμη να γράψει άλλο δεδομένο.

Σημειώνεται εδώ ότι το κύκλωμα FIRST PULSE REJECTION (Σχ.3) προστατεύει το TRIGGER SENSOR FF από λανθασμένη λήψη σήματος trigger στην είσοδό του, κατά την έναρξη της δειγματοληψίας. Το κύκλωμα TARGET DELAYS διαμορφώνει το MAIN CLOCK έτσι ώστε:

α) Το TRIGGER SENSOR FF να αλλάξει κατάσταση τη σωστή χρονική στιγμή από την εφαρμογή του triggering και

β) Ο D.S.C. να μετρήσει το σωστό πλήθος παλμών για την καταχώρηση των επιθυμητών δεδομένων στη SAMPLING STORE RAM.

Ετσι τα επιθυμητά δειγματοληπτημένα δεδομένα έχουν καταχωρηθεί στη SAMPLING STORE RAM και είναι έτοιμα να μεταφερθούν στον υπολογιστή. Για την μεταφορά γίνονται οι εξής ενέργειες:

α) Η SAMPLING DATA STORE RAM (Σχ.2) τίθεται σε OUTPUT MODE

β) Μέσω του P.R. σήματος (Σχ.3) δίνεται ένας παλμός που κινεί τον ADDRESSES SCAN COUNTER (Σχ.2) και αλλάζει διεύθυνση στη SAMPLING DATA STORE RAM.

γ) Το byte που αντιστοιχεί στην προηγούμενη θέση μνήμης βρίσκεται πάνω στο DATA BUS (Σχ.2) και διαβάζεται από τον υπολογιστή. Το LATCH βρίσκεται αποκομμένο σε κατάσταση tristate και δεν επηρεάζει το DATA BUS.

Οι ενέργειες β) και γ) γίνονται τόσες φορές όσες χρειάζεται για να διαβασθούν και τα 2K bytes που είναι αποθηκευμένα στην

SAMPLING DATA STORE RAM. Αφού τελειώσει η διαδικασία μεταφοράς, τα δεδομένα βρίσκονται στον υπολογιστή και είναι έτοιμα για επεξεργασία. Το διάγραμμα ροής του προγράμματος του μ/Υ που ελέγχει την όλη λειτουργία του συστήματος παρέχεται στο Σχ.4.

4. Το τελικό κύκλωμα

Στα διαγράμματα 5 (Main card) και 6 (Head card) παρέχεται αναλυτικά το τελικό κύκλωμα. Στη Main card (Σχ.5) οι πύλες G1, G2, G3 αποτελούν το RECEPTION AND FORMATION κύκλωμα (Σχ.5). Η G1 έχει σαν βασική λειτουργία της τη σχηματοποίηση του παλμού (Schmitt trigger). Η G2 μαζί με το κύκλωμα R_{ps}, C_{ps} επιδρά στο duty cycle.

Οι TARGET DELAYS επιτυγχάνονται με τους δύο μονοδομητές 74LS221. Οι τρεις COUNTERS 74LS163A αποτελούν τον DATA STORING COUNTER.

Ο διακόπτης S3 μαζί με την πύλη G11 αποτελούν το σύστημα PRESET του COUNTER.

Το FF1 (Σχ.5) είναι το TRIGGER SENSOR FF, το FF2 (Σχ.3) το STOP STORING FF και το FF3 το FIRST PULSE REJECTION FF.

Τα LED που είναι συνδεδεμένα μέσω των τρανζίστορς TR1 και TR2 στις εξόδους των FF1 και FF2 δείχνουν όταν ανάβουν για το μεν FF1 όταν έχει λάβει σήμα trigger, για το δε FF2 ότι η δειγματοληψία τελείωσε.

Οι πύλες G6, G7, G8 (Σχ.5) αποτελούν το MAIN TRIGGER. Αυτές είναι ανοιχτού συλλέκτη όπως και η πύλη G9, που χρησιμεύει σαν buffer για το Initialization του SAMPLING CONTROL SYSTEM.

Το LED που συνδέεται στο τρανζίστορ TR3 ανάβει όταν αρχίζει η δειγματοληψία.

Οι πύλες G4 και G5 (Σχ.5) αποτελούν το BUFFER AND CLOCK SWITCHING CONTROL (Σχ.3). Και οι δύο είναι buffer και μας δίνουν αρκετό ρεύμα για την μεταβίβαση των παλμών από την MAIN CARD μέσω της καλωδιοταινίας στην HEAD CARD.

Στην Head card η πύλη G12 με τα κυκλώματα R_{mCm} , R_{PRCPR} : α) φιλτράρει τους παλμούς, β) σχηματοποιεί τους παλμούς και γ) καθυστερεί, αν είναι αναγκαίο, τους παλμούς για λόγους συγχρονισμού με άλλες κεφαλές.

Οι τρεις Counters 74LS169 (Σχ.6) αποτελούν τον ADDRESSES SCAN COUNTER (Σχ.2) και είναι συνδεδεμένοι σε σύγχρονη λειτουργία.

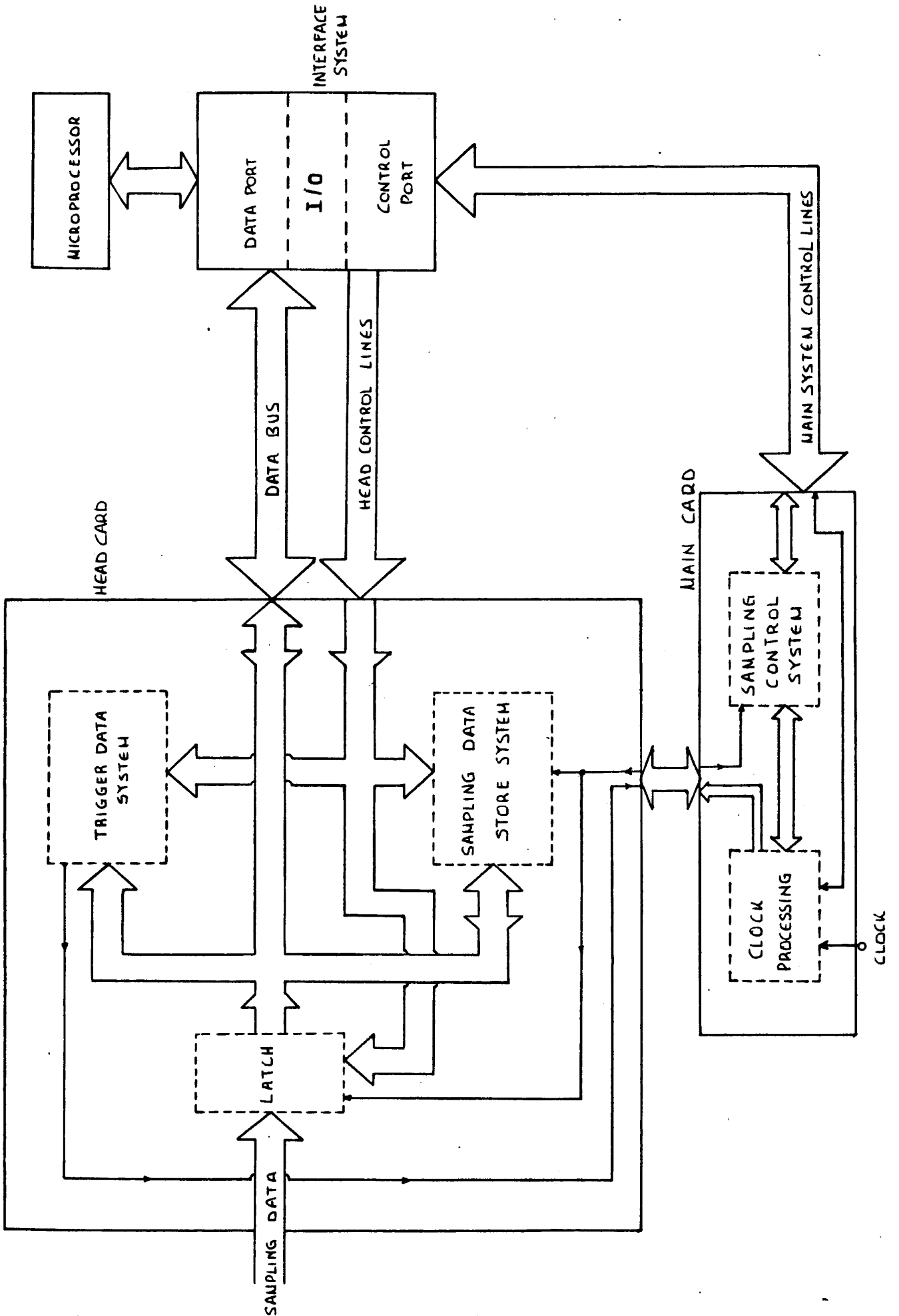
Οι πύλες G13, G14 αποτελούν το LATCH CONTROL SYSTEM (Σχ.2)

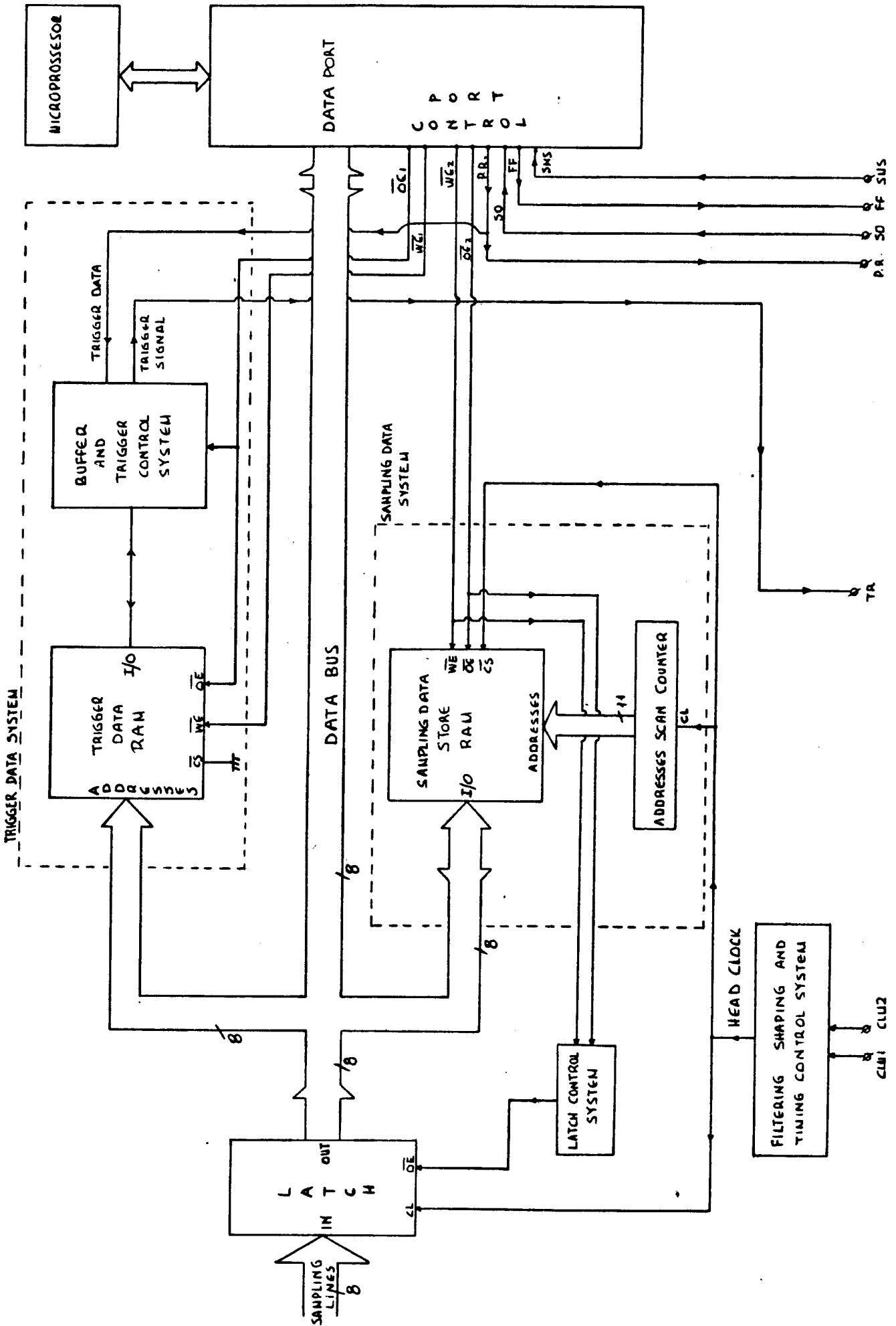
και : α) ελέγχουν πότε θα είναι σε αποκοπή και πότε σε λειτουργία το latch, β) προστατεύουν την μνήμη RAM 2 και το latch έτσι ώστε ποτέ να μην είναι, και τα δύο κυκλώματα μαζί, σε OUTPUT λειτουργία.

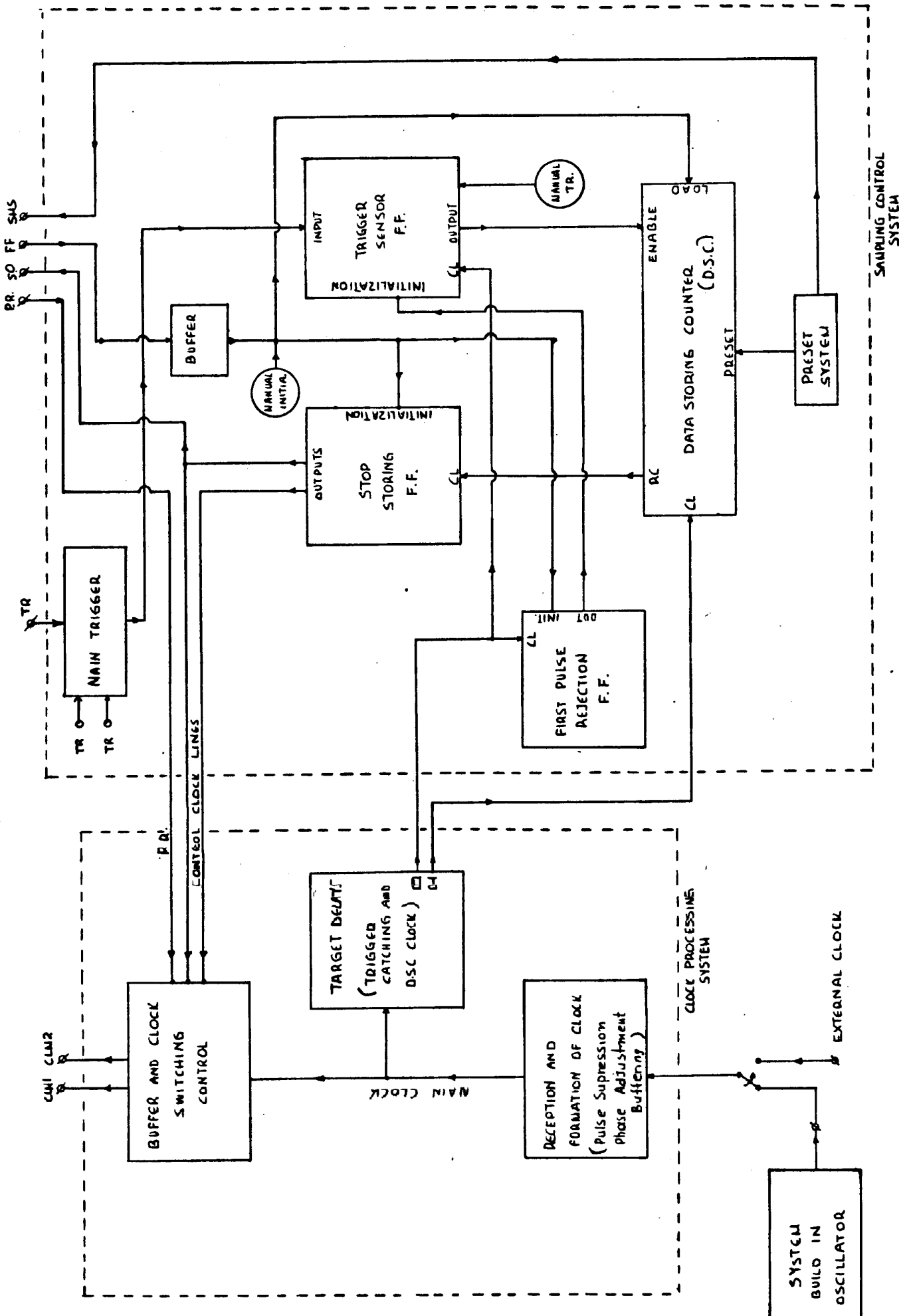
Οι πύλες Q15, Q16 είναι buffer ανοικτού συλλέκτη και χρησιμεύουν : α) για την φόρτωση των trigger bits από τον υπολογιστή στη RAM και β) για την αποστολή των trigger bits από τη RAM στην MAIN CARD.

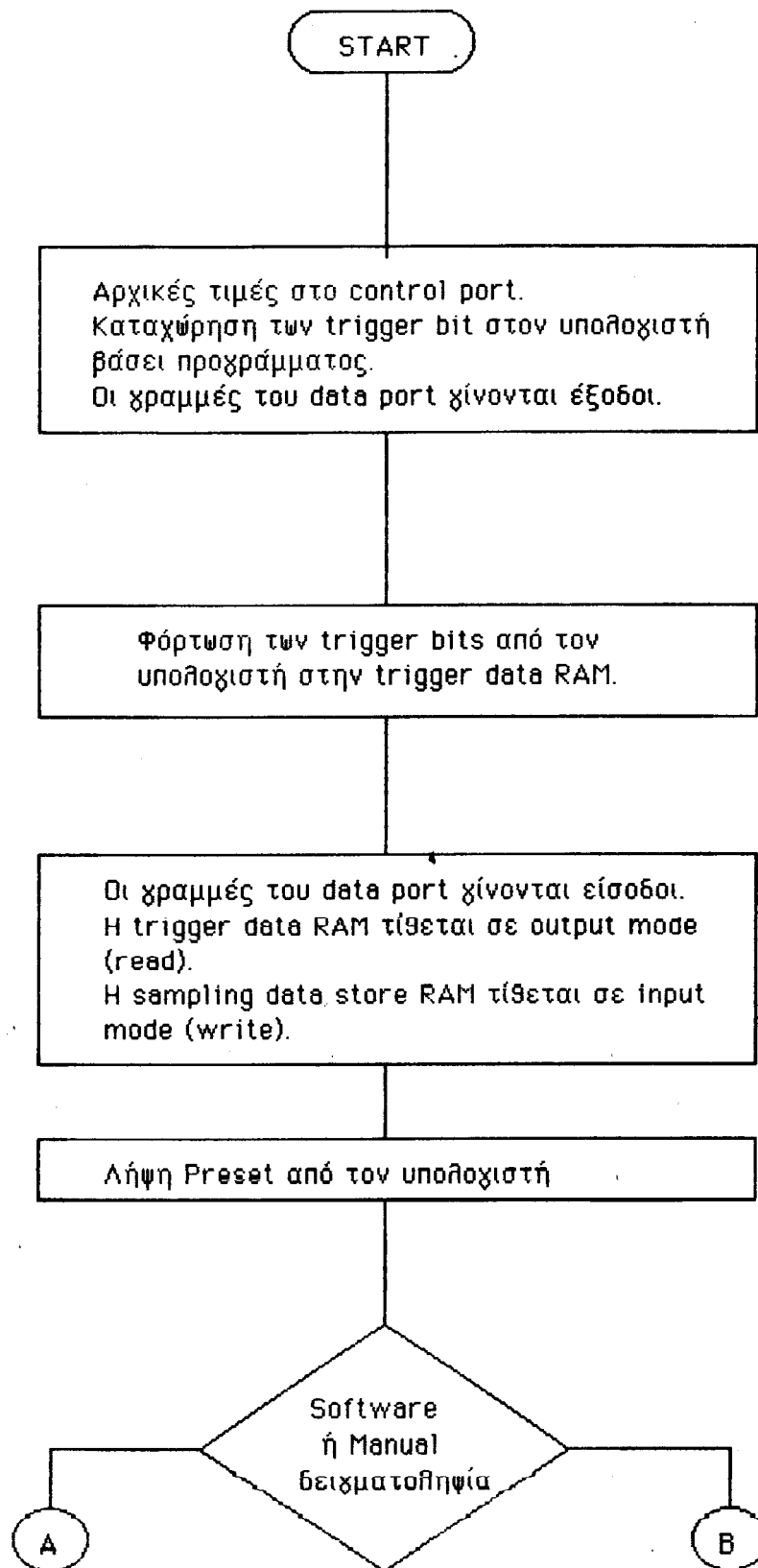
5. Συμπέρασμα

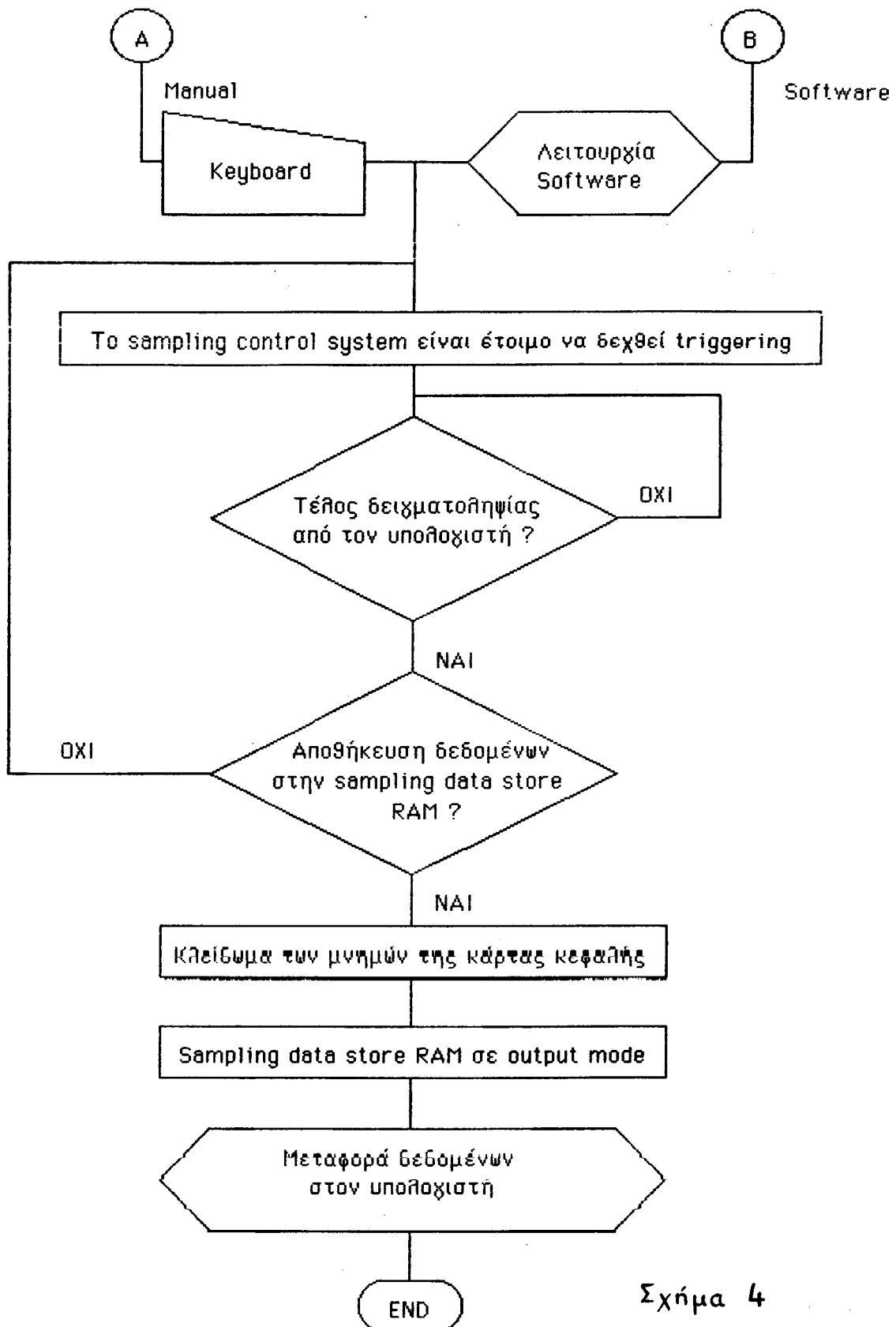
Στην εργασία αυτή παρουσιάζεται ένας Αναλυτής Ψηφιακών Σημάτων που αποτελείται από μία μονάδα μικροπολογιστή, κάρτες επέκτασης και το σχετικό Software. Το χαμηλό κόστος των καρτών επέκτασης κάνει προσιτή τη χρησιμοποίηση του συστήματος για τον έλεγχο και την διάγνωση βλαβών ψηφιακών συστημάτων ή μικρών υπολογιστών, σε αντίθεση με τους Αναλυτές σημάτων του εμπορίου, που το υψηλό τους κόστος τους καθιστά δυσπρόσιτους στους περισσότερους χρήστες. Η ύπαρξη των υλικών στην Ελληνική αγορά επιτρέπει την εύκολη κατασκευή και συντήρηση του. Ακόμη η χρήση μικροπολογιστή για την ανάλυση και παρουσίαση του αποτελέσματος, παρέχει την ευελιξία στον χρήστη να επιλέξει, μέσω Software, τον προσιτότερο τρόπο ανάλυσης των σημάτων.



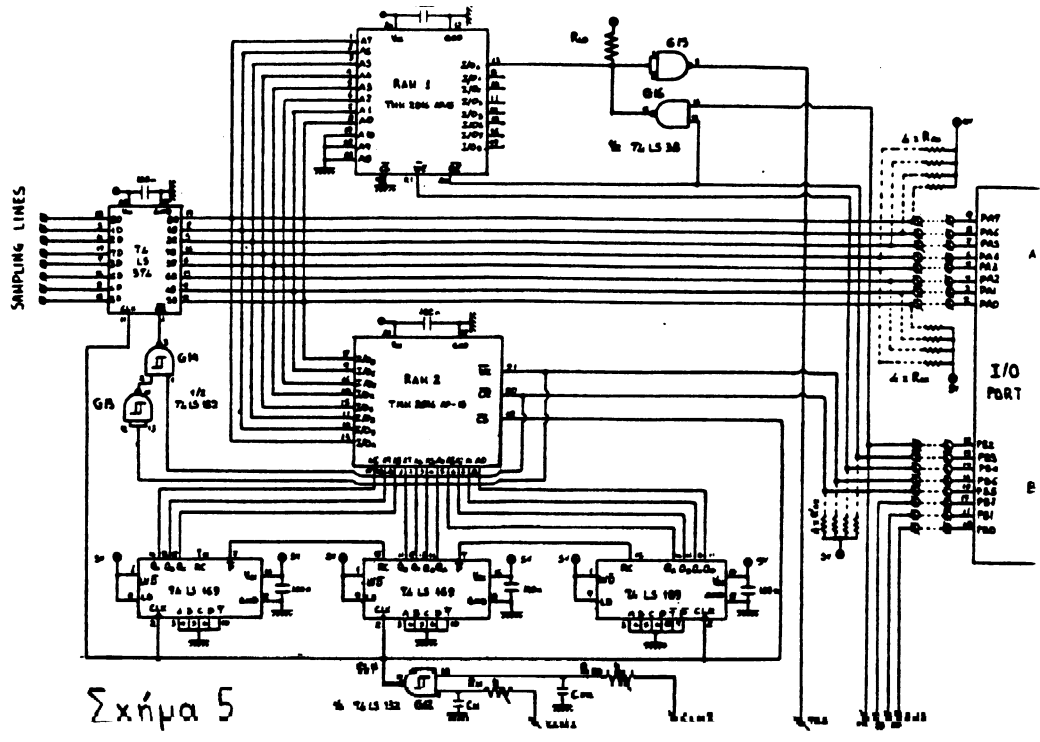




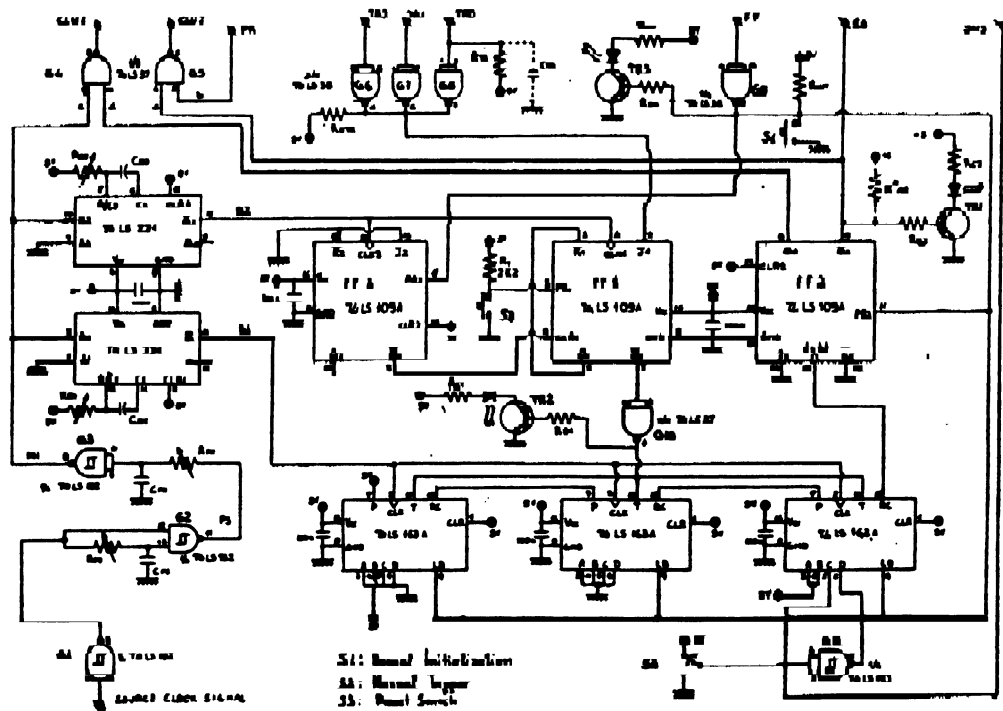




Σχήμα 4

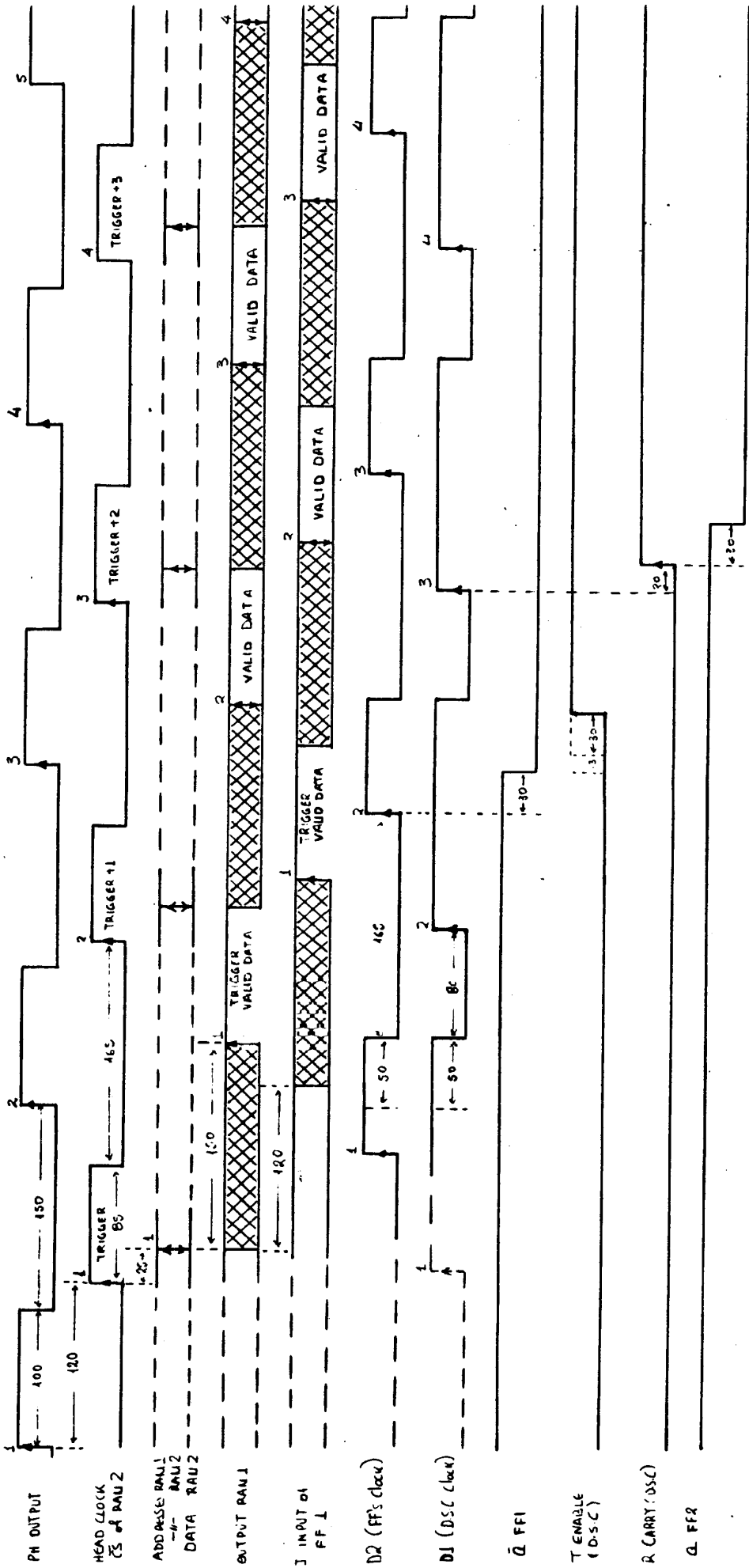


Σχήμα 5



Σχήμα 6

TIMING WAVEFORMS AT 4 MHZ



* Οι αναθεωρήσεις χρόνου είναι σε 715